

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214093

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H05K 1/18

(21)Application number : 08-014821

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.01.1996

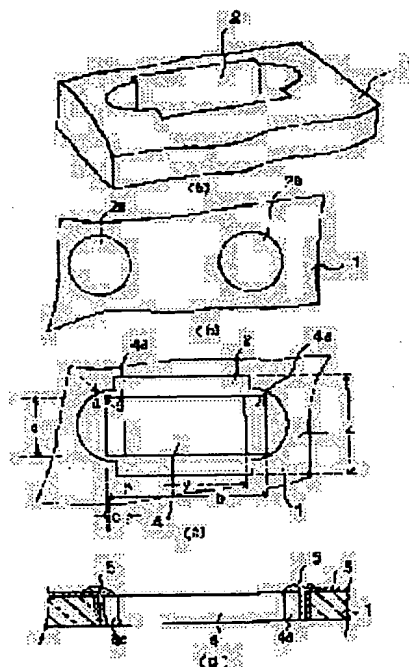
(72)Inventor : MATSUMURA KENICHI
HIRANUMA SHUJI

(54) MOUNTING CIRCUIT DEVICE AND MANUFACTURE OF THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To lower the mounting face of an electronic component by providing the electronic component installed and mounted on the notch part of a board and a conductive material which is applied in the notch part and electrically connects the connection terminal parts of the electronic component to connection pads.

SOLUTION: The through hole-type notch part 2 corresponding to the form and the size of the electronic component 4 is formed on an area where the electronic component is installed and mounted is formed on the wiring board 1. A pair of holes 2a whose diameters do not exceed 1.00mm being the length of the shorter side of the electronic component 4 are provided through the notch part 2 with the long side end part of the electronic part 4 as a center point in the prescribed areas of the wiring board 1. Then, an area straddling the through holes 2a is punched and formed. Solder paste 5 is applied to a connection pad 3 forming face, the electronic component 4 is positioned, installed and arranged in the notch part 2 and a heat processing is executed. Then, the electrode terminals 4a of the electronic component 4 are electrically connected to the corresponding connection pads 3 and are mechanically fixed to the wiring board. Thus, the mounting face of the electronic component can be lowered.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-214093

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl.⁶

H 0 5 K 1/18

識別記号

庁内整理番号

F I

H 0 5 K 1/18

技術表示箇所

P

審査請求 未請求 請求項の数5 O L (全 5 頁)

(21) 出願番号

特願平8-14821

(22) 出願日

平成8年(1996)1月31日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松村 健一

東京都府中市東芝町1番地 株式会社東芝

府中工場内

(72) 発明者 平沼 修二

東京都府中市東芝町1番地 株式会社東芝

府中工場内

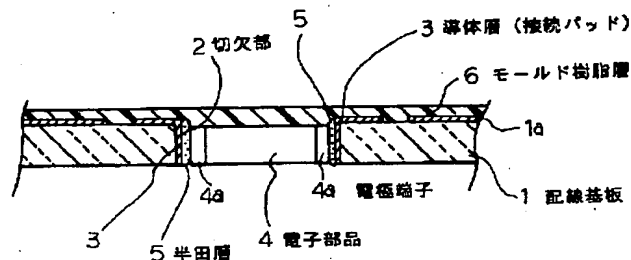
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 実装回路装置およびその製造方法

(57) 【要約】

【課題】 薄型・小形化が確保され、かつ高信頼性の実装回路装置およびこの実装回路装置を歩留まりよく製造できる製造方法の提供。

【解決手段】 一主面に少なくとも配線パターン1aを有し、かつ電子部品4を装着・実装するための厚さ方向に貫通する切欠部2を備えた配線基板1と、前記配線基板1の配線パターン1aに接続して切欠部内壁部に延設された接続パッド3、前記配線基板1の切欠部2に装着・実装された電子部品（たとえば抵抗素子などの受動素子）4と、前記切欠部2に塗着され、電子部品4の被接続端子部4aを接続パッド3に電気的に接続する導電体（たとえば半田）5とを備えていることを特徴とする実装回路装置である。



【特許請求の範囲】

【請求項1】 一主面に少なくとも配線パターンを有し、かつ電子部品を装着・実装するための厚さ方向に貫通する切欠部を備えた配線基板と、前記配線基板の配線パターンに接続して切欠部内壁部に延設された接続パッドと、前記配線基板の切欠部に装着・実装された電子部品と、前記切欠部内に塗着され、電子部品の接続端子部を接続パッドに電気的に接続する導電体を備えていることを特徴とする実装回路装置。

【請求項2】 配線基板の切欠部に装着・実装された電子部品の一部が切欠部の側壁から離隔していることを特徴とする請求項1記載の実装回路装置。

【請求項3】 一主面に少なくとも配線パターンを有し、かつ電子部品を装着・実装するための厚さ方向に貫通する切欠部を備えた配線基板を形成する工程と、前記配線基板の切欠部内壁面に配線パターンと接続する接続パッドを形成する工程と、前記配線基板の切欠部内に電子部品を位置決め、装着配置する工程と、前記位置決め、装着配置した電子部品の接続端子部に対応する接続パッドに電気的に接続する工程とを備えていることを特徴とする実装回路装置の製造方法。

【請求項4】 配線基板の切欠部形成を、装着配置する電子部品の短辺長さの1.0mmを超えない直径で、かつ長辺端部を中心点とした一対の孔を穿設した後、両穿設孔に跨がる領域を打ち抜き厚さ方向に貫通させて形成することを特徴とする請求項3記載の実装回路装置の製造方法。

【請求項5】 配線基板の切欠部に電子部品の一部を切欠部の側壁から離隔させて装着配置することを特徴とする請求項3もしくは請求項4記載の実装回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は実装回路装置およびその製造方法に係り、さらに詳しくは軽薄、小形化した実装回路装置および製造方法に関する。

【0002】

【従来の技術】近年、電子機器のコンパクト化が進む中、それら電子機器の主要電子部品である実装回路装置も、高容量化や薄型化が図られている。ところで、この種の実装回路装置は、一主面に配線パターンを備えた配線基板面に、半導体チップや抵抗素子を面実装するか、あるいは予め設けてある導通型ピン挿入孔に半導体パッケージや抵抗素子のリードピンを挿入して半田付け実装した後、前記実装面を樹脂モールドなどにより封止することで構成されている。

【0003】

【発明が解決しようとする課題】前記構成の実装回路装

置は、製造もしくは組み立て工程が比較的簡単であるという利点を有する一方、次のような不都合がある。すなわち、前記実装回路装置でリードピン挿入型の場合は、電子部品の正確な装着配置など容易に行えるが全体的に立体化し、薄型化や小形化を図れないという問題がある。一方、面実装型の場合は、電子部品の実装が平坦な基板面に行われるため、精度の高い位置決め配置の確保に細心の注意を要するだけでなく、実装回路装置の厚さも最低で、配線基板厚と電子部品厚の和となり、薄型化の点でなお十分といえない。

【0004】前記実装回路装置の薄型化問題に対して、配線基板の電子部品実装領域を凹面化し、この凹設面に実装部品を装着配置する構成が開発されている。すなわち、前記凹設面に、たとえば半導体チップをフェースアップに装着配置する一方、半導体チップの入出力端子と主面上の接続パッドとをほぼ水平にワイヤボンディングした構成、あるいは抵抗素子やコンデンサーを装着配置し、所定の配線パターンに電気的に接続する構成が開発されている。

【0005】しかしながら、前記電子部品を配線基板に埋設する形で薄型化した実装回路装置の場合、実用上、なお、次のような不都合な問題がある。すなわち、電子部品の埋設化によって薄型化が図られるとともに、ボンディングワイヤの長さも低減化できるなどの利点を有する。反面、電子部品を搭載・実装した配線基板をトランスファモールド法により、たとえばエポキシ樹脂でモールド封止した場合、ボンディングワイヤの切断などが起こる恐れもあり、信頼性において懸念される。本発明は上記情に対処して成されたもので、薄型・小形化が確保され、かつ高信頼性の実装回路装置およびこの実装回路装置を歩留まりよく製造できる方法の提供を目的とする。

【0006】

【課題を解決するための手段】請求項1の発明は、一主面に少なくとも配線パターンを有し、かつ電子部品を装着・実装するための厚さ方向に貫通する切欠部を備えた配線基板と、前記配線基板の配線パターンに接続して切欠部内壁部に延設された接続パッドと、前記配線基板の切欠部に装着・実装された電子部品と、前記切欠部内に塗着され、電子部品の接続端子部を接続パッドに電気的に接続する導電体を備えていることを特徴とする実装回路装置である。

【0007】請求項2の発明は、請求項1記載の実装回路装置において、配線基板の切欠部に装着・実装された電子部品の一部が切欠部の側壁から離隔していることを特徴とする。

【0008】請求項3の発明は、一主面に少なくとも配線パターンを有し、かつ電子部品を装着・実装するための厚さ方向に貫通する切欠部を備えた配線基板を形成する工程と、前記配線基板の切欠部内壁面に配線パターン

と接続する接続パッドを形成する工程と、前記配線基板の切欠部内に電子部品を位置決め、装着配置する工程と、前記位置決め、装着配置した電子部品の接続端子部に対応する接続パッドに電気的に接続する工程とを備えていることを特徴とする実装回路装置の製造方法である。

【0009】請求項4の発明は、請求項3記載の実装回路装置の製造方法において、配線基板の切欠部形成を、装着配置する電子部品の短辺長さの1.0mmを超えない直径で、かつ長辺端部を中心点とした一対の孔を穿設した後、両穿設孔に跨がる領域を打ち抜き厚さ方向に貫通させて形成することを特徴とする。

【0010】請求項5の発明は、請求項3もしくは請求項4記載の実装回路装置の製造方法において、配線基板の切欠部に電子部品の一部を切欠部の側壁から離隔させて装着配置することを特徴とする。

【0011】本発明に係る実装回路装置は、配線基板の電子部品実装領域が貫通孔型に切欠され、この切欠部に電子部品を装着配置し、電子部品の実装面を低面化させて、全体の厚さを薄型化した構成を採っている。ここで、電子部品は半導体パッケージ、チップコンデンサやチップ抵抗体などの受動部品であり、これらは少なくとも1個であって、高機能化もしくは高容量化など図るため複数個を実装する構成を採ることもできる。

【0012】また、前記電子部品の入出力端子に対する配線パターン側の電気的な接続は、切欠部側壁部に延設させた接続パッドへの半田付けや導電性ペースト付けなどで行われる。なお、前記切欠部側壁部への接続パッドの延設は、配線パターンの微細化程度、接続パッドのピッチなどによっても異なるが、一般的には無電解メッキ、電気メッキもしくはこれらの併用で行われる。

【0013】なお、本発明に係る実装回路装置の構成においては、全体的に耐環境性などを確保するため、一般的には電子部品実装面を封止用樹脂、たとえばエポキシ樹脂などで被覆（モールド）封止することもできる。

【0014】本発明に係る実装回路装置およびその製造方法において、配線基板の電子部品実装用切欠部の形設手段は特に限定されないが、装着配置する電子部品の短辺長さの1.0mmを超えない直径で、かつ長辺端部を中心点とした一対の孔を配線基板に穿設した後、両穿設孔に跨がる領域を厚さ方向に打ち抜いて所要の切欠部形成を形成すると、配線基板が損傷される恐れも低減されるとともに、より好ましい電子部品の装着・実装を達成できる。なお、前記打ち抜きのベースとなる一対の孔の穿設は、それぞれ外径の小さい複数個の穿設孔を集合させた形態を採ってもよいし、その形状も円形以外の楕円形、方形などでもよい。

【0015】請求項1～請求項2の発明では、電子部品が配線基板に埋め込まれた状態に装着・実装された構成を採るために薄型化が図られ、また、電気的な接続も切

欠部側壁部に延設させた接続パッドとの半田付けなどで行われているため、断線などの恐れもなくなり、接続の信頼性が大幅に向上する。特に、貫通孔型の切欠部に装着・実装した電子部品の側面部に空隙部を残した構成を採った場合は、放熱性も向上するので、機能の安定性もしくは信頼性の向上が図られる。

【0016】請求項3～請求項5の発明では、電子部品や電気的な接続部の立上がりによる接続不良（マンハッタン現象）を発生する恐れのない装着・実装が行われるので、歩留まりよく所要の実装回路装置を提供できる。また、電子部品の切欠部における装着・実装では、位置を最適に補正、設定する力（セルフアライメント）が、より効果的に作用するとともに、電気的接続の半田付け過程での電子部品の移動は、平面的で半田ブリッジ発生などの恐れも低減するため、作業性の向上および生産歩留まりの向上も図られる。

【0017】

【発明の実施の形態】以下、図1および図2(a)～(e)を参照して実施例を説明する。

【0018】図1は、本実施例の実装回路装置の要部構成を断面的に示したものである。図1において、1は一主面に少なくとも配線パターン1aを有し、かつ電子部品を装着・実装するための切欠部2を備えた配線基板、3は前記配線基板1の配線パターン1aに接続して切欠部2内壁部に延設された接続パッド、4は前記配線基板1の切欠部2に装着・実装された電子部品、たとえば抵抗素子である。ここで、配線基板1は、切欠部2が厚さ方向に貫通型に設けられ、かつこの領域の配線パターン化を回避した多層配線板であり、接続パッド3を成す導体層はメッキ法によって形成されている。

【0019】また、5は前記配線基板1の切欠部2内に塗着され、電子部品4の接続端子4a部を接続パッド3に電気的に接続する半田層、6は前記電子部品4を装着・実装した配線基板1面を封止するモールド樹脂層である。ここで、モールド樹脂層6は、たとえばエポキシ樹脂系の封止用樹脂で、トランスファモールド法で形成しているが、このモールド樹脂層6を省略することもできる。

【0020】次に、実装回路装置の製造方法例について説明する。

【0021】図2(a)～(d)は製造工程における実施態様を模式的に示したものである。

【0022】先ず、一主面に少なくとも配線パターン1a（図示省略）を有する配線基板1を用意し、図2(a)斜視的に示すごとく、電子部品を装着・実装する領域に、電子部品（たとえば抵抗素子）4の形状、大きさに対応する貫通孔型の切欠部2を形設する。ここで、切欠部2の形設は、図2(b)に平面的に示すごとく、配線基板1の所定領域に、装着・実装する電子部品4の長辺端部を中心点として、その電子部品4の短辺長さの1.0mmを超

えない直径の孔2aを一对穿設した後、図2(c)に平面的に示すごとく、両穿設孔2aに跨がる領域を打ち抜き形成する。

【0023】さらに詳説すると、電子部品4の短辺長さをaとした場合、穿設孔2aの半径rを $(a+n)/2$ と設定する。ただし $n=0\sim 1.0\text{mm}$ の数値。また、穿設孔2aの中心は、電子部品4の短辺aの中心で、かつ電子部品4の長辺端と穿設孔2a内壁面との距離を α としたとき、次式によって、

【数1】

$$\sqrt{\{(r-\alpha)^2 + (a/2)^2\}}$$

ただし $\alpha=0\sim 0.3\text{mm}$ の距離だけ電子部品4の長辺端よりも内側に設定される。次いで、化学メッキおよび電気メッキを併用し、前記両穿設孔2aの内壁面に、接続パッド3を成す導体層を形成する。この工程は、通常の配線板におけるスルホール形成工程と同様である。一方、前記両穿設孔2aに跨がる領域の打ち抜きは、電子部品4の長辺長さをbとし、かつ電子部品4の電極端子のながさをcとした場合、長さ方向yは、 $y=b-2(c+m)$ 、ただし $m=0\sim 0.1\text{mm}$ の数値。また、幅方向zは、 $z=2r+p$ 、ただし $p=0\sim 0.1\text{mm}$ の数値である。

【0024】その後、前記接続パッド3形成面に、たとえば半田ペースト5を塗布してから、切欠部2内に電子部品4を位置決め、装着配置し、加熱処理を施して、図2(d)に断面的に示すごとく、電子部品4の電極端子4aを対応する接続パッド3に、それぞれ電気的に接続する一方、配線基板に機械的に固定することにより、所要の実装回路部品が製造される。

【0025】上記では、1個の抵抗素子の装着・実装の態様について説明したが、抵抗素子など受動型素子が複数個の場合、半導体部品の場合、あるいは受動型素子および半導体素子の場合も、対応する切欠部の数、形状などが異なる他は、基本的には同様の手段で構成される。

【0026】こうした意味で、本発明は上記例示に限定されるものでなく、発明の趣旨を逸脱しない範囲でい

ろの変形をとることができる。

【0027】

【発明の効果】請求項1～2の発明によれば、配線基板の電子部品実装領域を貫通型の切欠部とし、この切欠部に電子部品を挿入・埋め込む形で、実装した構成の採用により、所望の薄型化が容易に確保されている。また、電気的な接続も切欠部側壁部に延設させた接続パッドとの半田付けなどで行われているため、断線などの恐れもなくなり、接続の信頼性が大幅に向上した実装回路装置として機能することになる。特に、貫通孔型の切欠部に、一部空隙を残して電子部品を装着・実装した構成を採った場合は、放熱性の向上と相俟って、さらに安定性などすぐれた機能を呈する。

【0028】請求項3～請求項5の発明によれば、上記のように信頼性の高い実装回路装置を、容易に、かつ歩留まりよく製造できる。特に、切欠部における電子部品の装着・実装工程で、位置を最適に補正、設定する力（セルフアライメント）が、より効果的に作用すること、および半田付け過程における電子部品の移動が、平面的で半田ブリッジ発生のおそれも低減できることなどは、作業性の向上および生産歩留まりの向上に大きく寄与する。

【図面の簡単な説明】

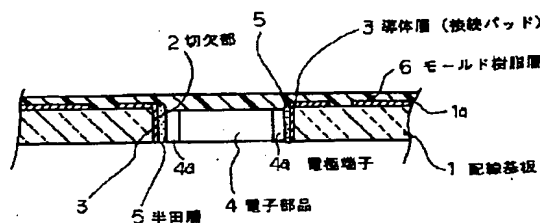
【図1】本発明に係る実装回路装置の要部構成例を示す断面図。

【図2】(a)、(b)、(c)、(d)は本発明に係る実装回路装置の製造工程例における実施態様の模式図。

【符号の説明】

- 1……配線基板
- 1a……配線パターン
- 2……厚さ方向に貫通型の切欠部
- 3……接続パッド
- 4……電子部品（抵抗素子）
- 5……半田付け
- 6……モールド樹脂層

【図1】



【図2】

